

PCT/DE 03/02740 #2
BUNDESREPUBLIK DEUTSCHLAND

Rec'd PCT/PTO 03 MAR 2005

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)



REC'D 01 OCT 2003

WIPO

PCT

DE 03/02740

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen:

102 41 156.5

Anmeldetag:

05. September 2002

Anmelder/Inhaber:

Infineon Technologies AG, München/DE

Bezeichnung:

Verfahren zum Herstellen einer integrierten pin-Diode
und zugehörige Schaltungsanordnung

IPC:

H 01 L 31/105

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Stempel

BEST AVAILABLE COPY



Beschreibung

Verfahren zum Herstellen einer integrierten pin-Diode und zugehörige Schaltungsanordnung

5 Die Erfindung betrifft ein Verfahren, bei dem eine von einem Trägersubstrat getragene pin-Diode erzeugt wird. Die pin-Diode enthält einen bezüglich des Trägersubstrats substratna-
hen dotierten Bereich eines ersten Leitungstyps, einen bezüglich
10 des Substrats substratfernen dotierten Bereich eines anderen Leitungstyps als der substratnahe Bereich und einen zwischen dem substratfernen und dem substratnahen Bereich angeordneten undotierten oder im Vergleich zur Dotierung des substratnahen Bereiches bzw. des substratfernen Bereiches mit
15 einer schwachen Dotierung versehenen Zwischenbereich. Zwischen dem Zwischenbereich und dem substratnahen Bereich bzw. zwischen dem Zwischenbereich und dem substratfernen Bereich lassen sich weitere Bereiche anordnen, um die elektrischen Eigenschaften der pin-Diode zu verbessern.

20 Eine pin-Diode ist eine Diode mit einer Schichtenfolge p, i und n, wobei p einen hoch p-dotierten Bereich, i einen eigenleitenden bzw. intrinsischen oder auch nur schwach n- bzw. p-dotierten Bereich und n einen hoch n-dotierten Bereich bezeichnen. Von einem pn-Übergang unterscheidet sich der Pin-Übergang vor allem durch den intrinsischen bzw. den schwach dotierten Zwischenbereich. Wegen ihrer elektrischen Eigenschaften werden pin-Dioden als Gleichrichterdioden für Sperrspannungen über einhundert Volt eingesetzt. Ein weiteres
30 Anwendungsgebiet sind schnelle Schaltdioden im Mikrowellenbereich. Weil der Sperrstrom der pin-Diode hauptsächlich von der Ladungsgeneration in der i-Zone abhängt, findet diese Diode auch Anwendung als Strahlungsdetektor, z.B. in der Kerntechnik, oder als pin-Fotodiode, insb. zum Erfassen von
35 Licht im Wellenlängenbereich zwischen ca. vierhundert Nanometern bis etwa ein Mikrometer. Insbesondere haben pin-Dioden

eine hohe Empfindlichkeit und hohe Erfassungsgeschwindigkeiten.

5 Integrierte pin-Dioden haben eine größere Nachweisempfindlichkeit und eine höhere Frequenzbandbreite als Einzelhalbleiterbauelemente, da sie direkt mit integrierten Schaltungen monolithisch verbunden sind.

10 Es ist Aufgabe der Erfindung, zum Herstellen einer integrierten pin-Diode ein einfaches Verfahren anzugeben. Außerdem soll eine zugehörige integrierte Schaltungsanordnung angegeben werden.

15 Die auf das Verfahren bezogene Aufgabe wird durch die im Patentanspruch 1 angegebenen Verfahrensschritte gelöst. Weiterbildungen sind in den Unteransprüchen angegeben.

20 Die Erfindung geht von der Überlegung aus, dass die integrierte pin-Diode mit einem Verfahren hergestellt werden sollte, das sich leicht in den Gesamtprozess zur Herstellung einer integrierten Schaltungsanordnung einbetten lässt und das möglichst auch Verfahrensschritte enthält, die sich auch zum Erzeugen anderer elektrisch wirksamer Strukturen in der integrierten Schaltungsanordnung nutzen lassen.

30 Beim erfindungsgemäßen Verfahren wird mindestens ein elektrisch leitfähiger Anschlussbereich erzeugt, der zu dem substratnahen Bereich führt. Der Anschlussbereich ist in einer den Zwischenbereich enthaltenden Schicht angeordnet und durchdringt diese Schicht bei einer Ausgestaltung von deren substratfernen Grenzfläche bis zu deren substratnahen Grenzfläche. Bei einem solchen Verfahren ist der substratnahe Bereich bezüglich der den Zwischenbereich enthaltenden Schicht ein sogenannter "vergrabener" Bereich, der auch als
35 buried layer bezeichnet wird. Im Gegensatz zu einem sogenannten Mesa-Schichtstapel ist das Verfahren zum Herstellen eines vergrabenen Bereiches einfacher. Außerdem wird beim erfin-

6
dungsgemäßen Verfahren die pin-Diode nicht über das Substrat
angeschlossen, sondern über mindestens einen separaten An-
schlussbereich. Dadurch entstehen Freiheitsgrade für die
Integration der pin-Diode in die integrierte Schaltungsanord-
nung. Außerdem wird es möglich, gleichzeitig mit der pin-
Diode auch andere Strukturen der integrierten Schaltungsan-
ordnung herzustellen, beispielsweise abschirmende Wannen für
bestimmte Teile der integrierten Schaltungsanordnung. Diese
Möglichkeit wird weiter unten näher erläutert.

10 Bei einer Weiterbildung des erfindungsgemäßen Verfahrens wird
gleichzeitig mit dem substratnahen Bereich ein dotierter
Entkopplungsbereich erzeugt. Eine vom Trägersubstrat getrage-
ne Schaltungsanordnung wird so erzeugt, dass der Entkopp-
15 lungsbereich sich zwischen einem Teil der Bauelemente und dem
Trägersubstrat erstreckt. Zwischen dem anderen Teil der Bau-
elemente und dem Trägersubstrat liegt dagegen kein Entkopp-
lungsbereich. Durch diese Maßnahme kann ohne zusätzlichen
prozesstechnischen Aufwand ein Entkopplungsbereich erzeugt
20 werden, der beispielsweise Schaltungsteile der integrierten
Schaltungsanordnung, die Störungen verursachen, von anderen
Schaltungsteilen abschirmt. Andererseits lassen sich aber
auch besonders empfindliche Schaltungsteile vom Rest der
Schaltung abschirmen. Im ersten Fall können parasitäre Ströme
bspw. nicht durch kapazitive Kopplung in das Substrat einge-
prägt werden. Im zweiten Fall gelangen parasitäre Ströme bzw.
Spannungen bspw. nicht durch kapazitive Kopplung aus dem
Substrat zu den empfindlichen Schaltungsteilen. Eine Kombina-
tion beider Maßnahmen führt zu einer verbesserten Abschir-
30 mung. Stark störende Schaltungsteile sind bspw. digitale
Schaltungen oder Endverstärker. Besonders empfindliche Schal-
tungsteile sind bspw. Vorverstärker.

Bei einer nächsten Weiterbildung des Verfahrens zum Herstel-
35 len einer pin-Diode wird gleichzeitig mit dem zur substratna-
hen Schicht der pin-Diode führenden Anschlussbereich ein zu
dem Entkopplungsbereich führender Anschlussbereich erzeugt.

Damit sind für die Herstellung des Entkopplungsbereich-Anschlussbereiches keine zusätzlichen Prozessschritte erforderlich. Über den Entkopplungsbereich-Anschlussbereich lässt sich der Entkopplungsbereich auf ein vorgegebenes Potential
5 legen. Außerdem lassen sich über den Entkopplungsbereich-Anschlussbereich auch sogenannte Absaugdioden erzeugen, die Störspannungen und Störströme aus der integrierten Schaltungsanordnung abziehen. Diese Möglichkeit wird weiter unten näher erläutert.

10 Bei einer nächsten Weiterbildung bilden der Entkopplungsbereich-Anschlussbereich und der Entkopplungsbereich eine Abschirmwanne, die einen von der Abschirmwanne umfassten Bereich vollständig oder bezogen auf die Seitenflächen und die
15 Grundfläche des umfassten Bereiches teilweise, zu mindestens fünfzig Prozent oder sogar zu mindestens fünfundsiebzig Prozent umgibt. Die Abschirmwirkung ist um so größer, je vollständiger der umfasste Bereich umschlossen wird. Jedoch sind auch Unterbrechungen in der Abschirmung möglich, um bei-
20 spielsweise aus anderen Gründen eine einfache Prozessführung zu ermöglichen.

Bei einer nächsten Weiterbildung werden in der Ebene bzw. in der Schicht, in der der substratnahe Bereich der pin-Diode und der Entkopplungsbereich liegen, außerhalb dieser Bereiche
liegende Bereiche mit einer Dotierung eines anderen Leitungstyps versehen. Damit lassen sich der substratnahe Bereich und der Entkopplungsbereich bzw. einzelne Entkopplungsbereiche in
30 der Ebene bzw. Schicht voneinander auf einfache Art isolieren. Bei einer Ausgestaltung wird ein den substratnahen Bereich und ein den Entkopplungsbereich bedeckendes Oxid zur Maskierung einer Implantation genutzt. Im Vergleich zu einem Lithografieverfahren ergibt sich eine vereinfachte Prozess-
führung.

35 Bei einer nächsten Weiterbildung wird der zum substratnahen Bereich der pin-Diode führende Anschlussbereich und der Ent-

kopplungsbereich-Anschlussbereich unter Herstellung eines tiefen Grabens erzeugt, der vorzugsweise mindestens doppelt so tief wie breit ist. Beispielsweise hat der Graben eine Tiefe von über zehn Mikrometern, von über fünfzehn Mikrometern oder sogar von über zwanzig Mikrometern. Der Graben hat beispielsweise einer Breite kleiner als fünf Mikrometer. Alternativ werden die Anschlussbereiche mit Hilfe eines Diffusionsprozesses hergestellt, bei dem Dotierstoffe auf einem substratfernen Bereich bis zu der substratnahen Schicht bzw. bis zu der Entkopplungsschicht diffundieren. Bei einer Diffundierungslänge von beispielsweise zehn Mikrometern haben die Anschlussgebiete beispielsweise eine Breite von sieben Mikrometern. Im Vergleich zu der von der pin-Diode belegten Fläche ist eine solche Breite jedoch ein bezüglich der erforderlichen Schaltungsfläche hinnehmbarer Wert. Auch Verfahren mit Implantationen von einem oder mehreren Mikrometern Tiefe werden verwendet, um die Anschlussbereiche herzustellen.

Bei einer anderen Weiterbildung wird die den Zwischenbereich enthaltende Schicht mit einem Epitaxieprozess hergestellt. Gleichzeitig wird bei dem Epitaxieprozess bei einer Ausgestaltung Grundmaterial für mindestens einen Einbettungsbereich erzeugt, der zur Einbettung von Bauelementen der integrierten Schaltungsanordnung dient. Der Einbettungsbereich wird auch als sogenanntes Bulk bezeichnet. Ein Epitaxieprozess ist eine einfache Möglichkeit, um vergrabene Schichten bedeckende Schichten zu erzeugen. Jedoch gibt es auch andere Möglichkeiten, beispielsweise eine hochenergetische Ionenimplantation. Durch einen Epitaxieprozess lassen sich auf einfache Art auch dotierte Halbleiterbereiche herstellen, beispielsweise durch in-situ-Dotierung beim Aufwachsen der Epitaxieschicht.

Bei einer Weiterbildung mit Epitaxieprozess wird der Epitaxieprozess mindestens zweistufig geführt. Das epitaktische Aufwachsen wird am Ende der ersten Stufe unterbrochen. Danach wird ein anderer Prozess ausgeführt, der nicht mit einem epitaktischen Aufwachsen verbunden ist. Bei einer Ausgestal-

tung ist dies ein Dotierungsprozess zum Herstellen einer Dotierung, die sich von der Dotierung der Epitaxieschicht unterscheidet. Durch diese Maßnahme lassen sich weitere vergrabene Bereiche zusätzlich zu dem substratnahen Bereich der pin-Diode und zum Entkopplungsbereich auf einfache Art erzeugen. Nach der Durchführung des anderen Prozesses wird dann das Aufwachsen der Epitaxieschicht fortgesetzt. Durch dieses Vorgehen lassen sich bisher übliche Verfahren zum Herstellen der Bauelemente der integrierten Schaltungsanordnung weiterhin unverändert nutzen.

Bei einer nächsten Weiterbildung umfasst der zum substratnahen Bereich der pin-Diode führende Anschlussbereich den Zwischenbereich in lateraler Richtung vollständig. Durch diese Maßnahme lässt sich der Zwischenbereich auf einfache Art von den übrigen Bestandteilen der integrierten Schaltungsanordnung elektrisch isolieren.

Bei einer nächsten Weiterbildung ist die den Zwischenbereich enthaltene Schicht eine Halbleiterschicht, die vorzugsweise Bereiche mit verschiedenen Leitungstypen hat. Beispielsweise basiert die Halbleiterschicht auf einem einkristallinen Material, z.B. auf einkristallinem Silizium. Jedoch werden auch Mischkristallhalbleiter eingesetzt, wie Galliumarsenid.

Bei einer nächsten Weiterbildung grenzt der Entkopplungsbereich an Material mit einem anderen elektrischen Leitfähigkeitstyp als der Entkopplungsbereich an. Durch diese Maßnahme entstehen pn-Dioden bzw. np-Dioden, die die Funktion von Absaugdioden haben und störende Ladungsträger oder Störströme aus den an den Entkopplungsbereich angrenzenden Bereich absaugen bzw. den Durchtritt der Ströme zum abzuschirmenden Bereich auf Grund einer Sperrwirkung verhindern.

Die Erfindung betrifft außerdem eine integrierte Schaltungsanordnung mit PIN-Diode, die sich mit dem erfindungsgemäßen Verfahren oder mit einer seiner Weiterbildungen herstellen

lässt. Damit gelten die oben genannten technischen Wirkungen auch für die Schaltungsanordnung und ihre Weiterbildungen.

Im Folgenden werden Ausführungsbeispiele der Erfindung an
5 Hand der beiliegenden Zeichnungen erläutert. Darin zeigen:

Figur 1 eine integrierte Schaltungsanordnung mit pin-Diode und Abschirmwanne, und

10 Figur 2A bis 2D
Herstellungsstufen bei der Herstellung der integrierten Schaltungsanordnung.

Figur 1 zeigt eine integrierte Schaltungsanordnung 10, die
15 ein p-dotiertes Substrat 12, eine pin-Fotodiode 14, einen abgeschirmten Bereich 16 oder mehrere abgeschirmte Bereiche und einen Schaltungsbereiche 18 oder mehrere nicht abgeschirmte Schaltungsbereiche enthält.

20 Das Substrat 12 ist beispielsweise ein Teil einer Halbleiterscheibe, d.h. eines Wafers. Auf dem Substrat 12 wurden beispielsweise mit dem unten an Hand der Figur 2A erläuterten Verfahren ein vergrabener n^+ -Bereich 20 und ein vergrabener n^+ -Bereich 22 erzeugt, wobei n^+ eine hohe Dotierstoffkonzentration von Dotierstoffen bezeichnet, die zu einem n-Leitungstyp führen, d.h. beispielsweise von Arsen oder Phosphor. Zwischen den Bereichen 20 und 22 befinden sich in der gleichen Ebene liegende vergrabene p^+ -Bereiche 24, 26 und 28.

30 Der Bereich 20 gehört zu der Fotodiode 14, die in Figur 1 lateral unterbrochen dargestellt ist. Beispielsweise hat die Fotodiode 14 eine Ausdehnung von fünfzig Mikrometern. Über dem Bereich 20 befindet sich ein Zwischenbereich 30 der Fotodiode 14, der schwach n-dotiert ist, d.h. n^- . Der Zwischenbereich 30 ist seitlich vollständig von einem beispielsweise ringförmigen Anschlussbereich 32 umgeben, der n-dotiert ist,
35 jedoch mit einer höheren Dotierstoffkonzentration als der

Zwischenbereich 30. An seinem substratfernen Abschnitt 34 ist der Anschlussbereich 32 zur Gewährleistung eines geringen Kontaktwiderstandes n^+ -dotiert. Leitbahnen 36 und 38 durchdringen eine oder mehrere Metallisierungslagen 40 der integrierten Schaltungsanordnung 10 und führen zu dem Abschnitt 34 des Anschlussbereiches 32.

Auf dem Zwischenbereich 30 befindet sich eine p^+ -dotierter Bereich 42, welcher die Anode der Fotodiode 14 bildet. Eine Leitbahn 44 durchdringt die Metallisierungslagen 40 und ist mit dem Bereich 42 verbunden.

Über dem Bereich 42 befindet sich eine Aussparung 46 in den Metallisierungslagen 40. Durch die Aussparung 46 kann Licht zur Fotodiode 14 gelangen, um deren elektrische Eigenschaften zu beeinflussen. Die Aussparung 46 ist so gestaltet, dass einfallendes Licht möglichst vollständig in die Fotodiode 14 eindringen kann, z.B. auf Grund der Verwendung einer Antirefektionsschicht.

In der gleichen Ebene wie der Zwischenbereich 30 befinden sich p -dotierte Bereiche 48 bis 54 einer Schicht 55, welche auch den Zwischenbereich 30 enthält. Die Bereiche 48 und 50 grenzen außerhalb der Fotodiode 14 an den Anschlussbereich 32 an. Der Bereich 52 bildet ein sogenanntes Bulk bzw. Schaltungssubstrat und ist Teil des abgeschirmten Bereiches 16. Seitlich wird der Bereich 52 durch einen ebenfalls beispielsweise ringförmigen Anschlussbereich 56 begrenzt, der bis zu dem Entkopplungs-Bereich 22 reicht und den Bereich 52 von dem Bereich 50 und 54 abtrennt.

Der Anschlussbereich 56 und der Bereich 22 bilden eine Abschirmwanne, die Funktionen einer in Sperrrichtung betriebenen Absaugdiode erbringt. Innerhalb des abgeschirmten Bereiches 16 befinden sich Bauelemente mit einer starken Störabstrahlung, beispielsweise ein npn-Transistor 58 sowie weitere Bauelemente 60, z.B. CMOS-Bauelemente (Complementary Metall-

oxid Semiconductor) oder auch mit einem oder mehreren passiven Bauelementen, z.B. Spulen. Der npn-Transistor 58 und die Bauelemente 60 sind mit Standard-Herstellungsverfahren hergestellt worden.

5

So enthält beispielsweise der npn-Transistor 58 einen vergrabenen Kollektoranschlussbereich 62, der stark n-dotiert ist, d.h. n^+ , und zu einem Kollektorbereich 64 führt. Der Kollektorbereich 64 ist schwach n-dotiert, d.h. n^- . Oberhalb des Kollektorbereiches 64 befindet sich ein Basisbereich 66, der stark p-dotiert ist und ein Emitterbereich 68, der stark n-dotiert ist. Im Bereich des Transistors 58 werden die Metal-
10 lisierungslagen 40 beispielsweise von Leitbahnen 70, 72 und 74 durchdrungen, die in dieser Reihenfolge zum Basisbereich
15 66, zum Emitterbereich 68 und zum Kollektoranschlussbereich 62 führen.

Der Anschlussbereich 56 ist ebenfalls n-dotiert und hat einen substratfernen Abschnitt 76, der n^+ -dotiert ist. Zum An-
20 schlussbereich 56 führen Leitbahnen 78 und 80, die bspw. zum Anlegen eines positiven Betriebsspannungspotentials UP an den Anschlussbereich 56 und damit auch an die Schicht 22 dienen, welche die Kathode einer in Sperrrichtung betriebenen Absaugdiode bilden. Die Absaugdiode schirmt Rauschströme vollkommen ab, die in das Substrat 12 gelangen könnten.

Die Bereiche 52 und 54 werden auch als p-well bezeichnet.

Der Bereich 18 der integrierten Schaltungsanordnung enthält
30 eine Vielzahl elektronischer Bauelemente 82, die in Figur 1 durch drei Punkte angedeutet sind. Von dem Transistor 58 und den Bauelementen 60 erzeugte Störungen können aufgrund der Abschirmung durch die aus dem Anschlussbereich 56 und dem Bereich 22 gebildeten Abschirmwanne nicht zu den Bauelementen
35 82 dringen.

In Figur 1 sind außerdem sogenannte Feldoxidbereiche 84 bis 100 dargestellt, die beispielsweise aus Siliziumdioxid bestehen und einzelne Bauelemente bzw. Funktionseinheiten von Bauelementen untereinander elektrisch isolieren.

5

Bei einem anderen Ausführungsbeispiel verbinden die Leitbahnen in den Metallisierungslagen 40 verschiedene Bauelemente der integrierten Schaltungsanordnung 10, z.B. die Fotodiode 14 mit einem Transistor.

10

Figur 2A zeigt eine erste Herstellungsstufe beim Herstellen der integrierten Schaltungsanordnung 10. Auf dem Substrat 12 wird zunächst eine Siliziumdioxidschicht 110 erzeugt, beispielsweise durch thermische Oxidation. Die Dicke der Siliziumdioxidschicht 110 beträgt beispielsweise fünfzig Nanometer. Danach wird eine Siliziumnitridschicht 112 abgeschieden, die beispielsweise ebenfalls eine Dicke von fünfzig Nanometern hat.

20

Dann wird ein Lithografieverfahren zum Erzeugen einer Implantationsmaske für das Implantieren von Dotierstoffen für die Schichten 20 und 22 durchgeführt. Dazu wird eine Fotolackschicht 114 ganzflächig aufgebracht und in einem folgenden Belichtungs- und Entwicklungsschritt so strukturiert, dass Aussparungen 116 und 118 oberhalb der Gebiete entstehen, in denen die Bereiche 20 und 22 erzeugt werden sollen. Anschließend wird die Siliziumnitridschicht 112 in den nicht vom Fotolack 114 bedeckten Bereichen selektiv zur Siliziumdioxidschicht 110 entfernt, beispielsweise in einem Trockenätzverfahren. Nach dem Strukturieren der Siliziumnitridschicht 112 wird eine Ionenimplantation durchgeführt, um beispielsweise Arsen- oder Antimonionen zu implantieren, siehe Pfeile 120.

30

Wie in Figur 2B gezeigt, wird danach der verbliebene Rest der Fotolackschicht 114 entfernt. Anschließend wird eine lokale Oxidation durchgeführt, wobei in den freiliegenden Bereichen der Siliziumdioxidschicht 110 dickere Oxidbereiche 130 er-

35

zeugt werden. Während der Oxidation werden auch die Dotierstoffe in den Bereichen 20 und 22 aktiviert.

Wie in Figur 2C gezeigt, werden danach die Reste der Nitridschicht 112, beispielsweise mit Hilfe eines Ätzverfahrens, entfernt. Mit Hilfe einer Ionenimplantation 140 werden dann die Bereiche 24 bis 28 erzeugt. Beispielsweise wird Bor implantiert. Die Energie beim Implantieren ist so bemessen, dass die Borionen die Oxidbereiche 130 nicht durchdringen. Dagegen werden Bereiche der Siliziumdioxidschicht 110, deren Dicke sich beim Erzeugen der Oxidationsbereiche 130 nicht geändert hat, von den Borionen durchdrungen.

Wie in Figur 2D gezeigt, werden anschließend die Oxidbereiche 130 und die Restbereiche der Siliziumdioxidschicht 110 entfernt. Mit einem Epitaxieverfahren wird eine Schicht 55 auf die Schichten 20 und 22 und die Bereiche 24, 26 und 28 aufgebracht. Die Schicht 55 ist beispielsweise schwach n-dotiert. Im Ausführungsbeispiel hat die Schicht 55 eine Dicke von zehn Mikrometern. Die Dotierstoffkonzentration in der Schicht 55 beträgt beispielsweise $5 \cdot 10^{13}$ Teilchen pro Kubikzentimeter.

Anschließend wird auf die Schicht 55 eine dünne Siliziumdioxidschicht 152 aufgebracht. Danach wird in einem Lithografieverfahren eine Fotolackschicht 154 aufgebracht und als Maske für eine folgende Ionenimplantation strukturiert. In der Fotolackschicht 154 werden an den über den Rändern der Bereiche 20 und 22 liegenden Gebieten Aussparungen 156 bis 162 erzeugt. Danach wird eine Ionenimplantation, beispielsweise mit Phosphorionen durchgeführt. Die Energie bei der Ionenimplantation ist so bemessen, dass die Phosphorionen die Fotolackschicht 154 nicht durchdringen. Somit gelangen die Phosphorionen nur in Ursprungsdotierbereiche 164 bis 170 unmittelbar unter den Aussparungen 156 bis 162. Beispielsweise beträgt die Dotierstoffkonzentration in den Ursprungsdotierbereichen 164 bis 170 10^{16} Dotierstoffteilchen je Kubik-

zentimeter. Die Ionenimplantation wird in Figur 2D durch Pfeile 172 dargestellt.

Danach werden Reste der Fotolackschicht 154 entfernt. Mit Hilfe einer Fototechnik wird eine neue Fotolackmaske erzeugt, die Aussparungen in Bereichen hat, in denen die Schicht 55 p-dotiert werden soll. Mit Hilfe einer Ionenimplantation, beispielsweise mit Borionen, werden danach die Bereiche 48, 50, 52 und 54 unterhalb der Siliziumdioxidschicht 152 dotiert.

Danach wird ein Diffusionsprozess durchgeführt, beispielsweise unter Verwendung eines Diffusionsofens. Dabei diffundieren zum Einen die Dotierstoffe aus den Ursprungsdotierbereichen 164 bis 170 bis zum Bereich 20 bzw. 22, wobei die Anschlussbereiche 32 und 56 gebildet werden. Auch innerhalb der Bereiche 48, 50, 52 und 54 verteilen sich die Dotierstoffe, die zu einem p-Leitungstyp in diesen Bereichen 48, 50, 52 und 54 führen.

Bei einer anderen Prozessvariante des an Hand der Figur 2B erläuterten Verfahrens wird an Stelle der lokalen Oxidation ein zusätzliches Lithografieverfahren ausgeführt. In diesem Fall muss keine Siliziumnitridschicht 112 aufgebracht werden. Bei der Verwendung eines Lithografieverfahrens lässt sich außerdem erreichen, dass beispielsweise nur die Bereiche 24 und 26, nicht aber der Bereich 28 erzeugt werden.

Bei einer nächsten Prozessvariante wird an Stelle der Ionenimplantation eine Phosphorglas-Belegung genutzt, um die Dotierungsbereiche zu erzeugen.

Bei einer anderen Prozessvariante werden die Anschlussbereiche 32 und 56 nicht durch Diffusion, sondern durch das Erzeugen tiefer Gräben erzeugt, in die dann dotiertes Polysilizium oder auch ein Metall eingebracht wird.

Bezugszeichenliste

10	integrierte Schaltungs
12	Substrat
14	pin-Fotodiode
16	abgeschirmter Bereich
18	Schaltungsbereich
20, 22	vergrabener n^+ -Bereich
24 bis 28	vergrabener p^+ -Bereich
32	Zwischenbereich
32	Anschlussbereich
34	Abschnitt
36, 38	Leitbahn
40	Metallisierungslagen
42	p^+ -dotierter Bereich
44	Leitbahn
46	Aussparung
48 bis 54	p -dotierter Bereich
55	Schicht
56	Anschlussbereich
58	Transistor
60	weitere Bauelemente
62	Kollektoranschlussbere
64	Kollektorbereich
66	Basisbereich
68	Emitterbereich
70 bis 74	Leitbahn
76	Abschnitt
78, 80	Leitbahn
UP	positives Betriebspoten
82	Bauelemente
84 bis 100	Feldoxidbereich
110	Siliziumdioxidschicht
112	Siliziumnitridschicht
114	Fotolackschicht
116, 118	Aussparung
120	Implantation

130	Oxid
140	Ionenimplantation
152	Siliziumdioxidschicht
154	Fotolackschicht
156 bis 162	Aussparung
164 bis 170	Ursprungsdotierbereich
172	Ionenimplantation

Patentansprüche

1. Verfahren zum Herstellen einer integrierten pin-Diode (14), insbesondere einer pin-Fotodiode (14),

5

mit den ohne Beschränkung durch die angegebene Reihenfolge ausgeführten Schritten:

Erzeugen eines bezüglich eines Trägersubstrats (12) substrat-
10 nahen dotierten Bereiches (20) eines Leitungstyps,

Erzeugen eines weiter vom Trägersubstrat (12) als der substratnahe Bereich (20) entfernten substratfernen dotierten Bereiches (42) eines anderen Leitungstyps als der Leitungstyp
15 des substratnahen Bereiches (20),

Erzeugen eines zwischen dem substratnahen Bereich (20) und dem substratfernen Bereich (42) angeordneten undotierten oder im Vergleich zur Dotierung des substratnahen Bereiches (20)
20 und der Dotierung des substratfernen Bereiches (42) mit einer schwachen Dotierung versehenen Zwischenbereiches (30),

und Erzeugen mindestens eines elektrisch leitfähigen Anschlussbereiches (32), der zu dem substratnahen Bereich (20) führt, in einer den Zwischenbereich (30) enthaltenden Schicht (55).

2. Verfahren nach Anspruche 1, dadurch gekennzeichnet, dass der Anschlussbereich (32) die Schicht
30 (55) von ihrer substratfernen Grenzfläche bis zu ihrer substratnahen Grenzfläche durchdringt.

3. Verfahren nach Anspruch 1 oder 2, gekennzeichnet durch die Schritte:

35

Erzeugen eines dotierten Entkopplungsbereiches (22) gleichzeitig mit dem Erzeugen des substratnahen Bereiches (20),

und Erzeugen einer vom Trägersubstrat getragenen Schaltungsanordnung (10) mit mindestens zwei Bauelementen (58, 60, 82), wobei der Entkopplungsbereich (22) vorzugsweise zwischen
5 einem Teil der Bauelemente (58, 60) und dem Trägersubstrat (12) und nicht zwischen dem anderen Teil der Bauelemente (82) und dem Trägersubstrat (12) angeordnet wird.

10 4. Verfahren nach Anspruch 3, gekennzeichnet durch den Schritt:

15 Erzeugen eines elektrisch leitfähigen Entkopplungsbereich-Anschlussbereiches (56) gleichzeitig mit dem Erzeugen des zum substratnahen Bereich (20) führenden Anschlussbereiches (32).

20 5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass der Entkopplungsbereich-Anschlussbereich (56) und der Entkopplungsbereich (22) eine Abschirmwanne bilden, die einen von der Abschirmwanne umfassten Bereich vollständig oder bezogen auf die Seitenflächen und die Grundfläche des umfassten Bereiches zu mindestens fünfzig Prozent oder zu mindestens fünfundsiebzig Prozent umgibt.

30 6. Verfahren nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, dass der Schicht (55), in der der substratnahe Bereich (20) und der Entkopplungsbereich (22) angeordnet sind, Bereiche außerhalb dieser Bereiche (20, 22) mit einer Dotierung eines anderen Leitungstyps versehen werden, wobei vorzugsweise ein den substratnahen Bereich (20) und den Entkopplungsbereich (22) bedeckendes Oxid (130) zur Maskierung einer Implantation (140) dient,

35 oder dass in der Schicht (55), in der der substratnahe Bereich (20) und der Entkopplungsbereich (22) angeordnet sind, Bereiche außerhalb dieser Bereiche (20) undotiert sind oder selektiv dotiert sind.

7. Verfahren nach einem der vorhergehenden Ansprüche, da -
durch gekennzeichnet, dass der Anschlussbereich
(32, 56) unter Herstellung eines Grabens erzeugt wird, der
vorzugsweise mindestens doppelt so tief wie breit ist,

oder dass der Anschlussbereich (32, 56) mit Hilfe eines Diffu-
sionsprozesses hergestellt wird, bei dem Dotierstoffe aus
einem substratfernen Bereich bis zur substratnahen Schicht
(20) diffundieren,

und/oder dass der Anschlussbereich (32, 56) mit einem Implan-
tationsverfahren erzeugt wird, vorzugsweise mit einem hoch-
energetischen.

8. Verfahren nach einem der vorhergehenden Ansprüche, da -
durch gekennzeichnet, dass die den Zwischenbe-
reich (30) enthaltende Schicht (55) mit einem Epitaxieverfah-
ren erzeugt wird,

und/oder dass bei dem Epitaxieverfahren gleichzeitig ein
Grundmaterial für einen Einbettungsbereich (52, 54) erzeugt
wird, der zur Einbettung von Bauelementen (58, 60, 82) einer
integrierten Schaltungsanordnung (10) dient.

9. Verfahren nach Anspruch 8, da durch gekenn-
zeichnet, dass ein Epitaxieverfahren zur Erzeugung
einer Epitaxieschicht mindestens zweistufig geführt wird,

wobei das epitaktische Aufwachsen unterbrochen wird,

wobei nach der Unterbrechung mindestens ein anderer Prozess
ausgeführt wird, vorzugsweise ein Dotierungsprozess zum Her-
stellen einer Dotierung, die sich von einer Dotierung der
Epitaxieschicht unterscheidet,

und wobei nach der Ausführung des anderen Prozesses das Auf-
wachsen der Epitaxieschicht fortgesetzt wird.

10. Verfahren nach einem der vorhergehenden Ansprüche, da -
durch gekennzeichnet, dass der zum substratna-
hen Bereich (20) führende Anschlussbereich (32) den Zwischen-
bereich (30) lateral umfasst, vorzugsweise vollständig.

11. Verfahren nach einem der vorhergehenden Ansprüche, da -
durch gekennzeichnet, dass die den Zwischenbe-
reich (30) enthaltende Schicht (55) eine Halbleiterschicht
ist, die vorzugsweise Bereich mit verschiedenen Leitungstypen
enthält.

12. Verfahren nach einem der vorhergehenden Ansprüche, da -
durch gekennzeichnet, dass der Entkopplungsbe-
reich (22) an Material (12, 52, 54) mit einem anderen Lei-
tungstyp angrenzt oder von Material mit einem anderen Lei-
tungstyp umgeben ist, vorzugsweise abgesehen von einem oder
mehreren Entkopplungsbereich-Anschlussbereich (56) allseitig.

13. Integrierte Schaltungsanordnung (10) mit pin-Diode (14),
insbesondere mit pin-Fotodiode (14),

mit einem Trägersubstrat (12), das eine Bereichsfolge einer
pin-Diode (14) trägt,

mit einem in der Bereichsfolge enthaltenen substratnahen
dotierten Bereich (20) eines Leitungstyps,

mit einem in der Bereichsfolge enthaltenen substratfernen
dotierten Bereich (42) eines anderen Leitungstyps als der
Leitungstyp des substratnahen Bereiches (20),

mit einem zwischen dem substratnahen Bereich (20) und dem
substratfernen Bereich (42) angeordneten undotierten oder im
Vergleich zur Dotierung des substratnahen Bereiches (20) und
der Dotierung des substratfernen Bereiches (42) schwachen
Dotierung versehenen Zwischenbereich (30),

und mit einem elektrisch leitfähigen Anschlussbereich (32),
der zu dem substratnahen Bereich (20) führt und in einer
Schicht (55) angeordnet ist, welche den Zwischenbereich (30)
5 enthält.

14. Schaltungsanordnung (10) nach Anspruche 13, d a d u r c h
g e k e n n z e i c h n e t , dass der Anschlussbereich (32) die
Schicht (55) von ihrer substratfernen Grenzfläche bis zu
10 ihrer substratnahen Grenzfläche durchdringt.

15. Schaltungsanordnung (10) nach Anspruch 13 oder 14, g e -
k e n n z e i c h n e t d u r c h eine vom Trägersubstrat (12)
getragene Schaltungsanordnung (10), die mindestens zwei e-
15 lektronische Bauelemente (58, 60, 82) enthält,

und durch einen zwischen dem einen Bauelement (58) und dem
Trägersubstrat (12) angeordneten dotierten Entkopplungsbe-
reich (22) des gleichen Leitungstyps wie die substratnahe
20 Bereich (20) und/oder der gleichen Dotierstoffkonzentration
wie der substratnahe Bereich (20) und/oder angeordnet in
einer Ebene mit der substratnahen Bereich (20).

16. Schaltungsanordnung (10) nach Anspruch 15; g e k e n n -
z e i c h n e t d u r c h einen elektrisch leitfähigen Ent-
kopplungsbereich-Anschlussbereich (56), der zum Entkopplungs-
bereich (22) führt und/oder der die gleiche Materialzusammen-
setzung wie der zum substratnahen Bereich (20) führende An-
schlussbereich (32) hat.

17. Schaltungsanordnung (10) nach einem der Ansprüche 13 bis
16, d a d u r c h g e k e n n z e i c h n e t , dass die Schal-
tungsanordnung (10) mit einem Verfahren nach einem der An-
30 sprüche 1 bis 12 hergestellt worden ist.

Zusammenfassung

Verfahren zum Herstellen einer integrierten pin-Diode und zugehörige Schaltungsanordnung

5

Erläutert wird unter anderem ein Verfahren zum Herstellen einer integrierten pin-Fotodiode, die einen vergrabenen Bereich (20) und einen zu dem vergrabenen Bereich (20) führenden Anschlussbereich (32) enthält. Durch dieses Herstellungsverfahren lässt sich die pin-Fotodiode (14) auf einfache Art integrieren. Außerdem besteht die Möglichkeit, Prozessschritte zum Herstellen der pin-Diode auch zum Herstellen von Abschirmwannen (22, 56) zu nutzen.

10

15 (Figur 1)

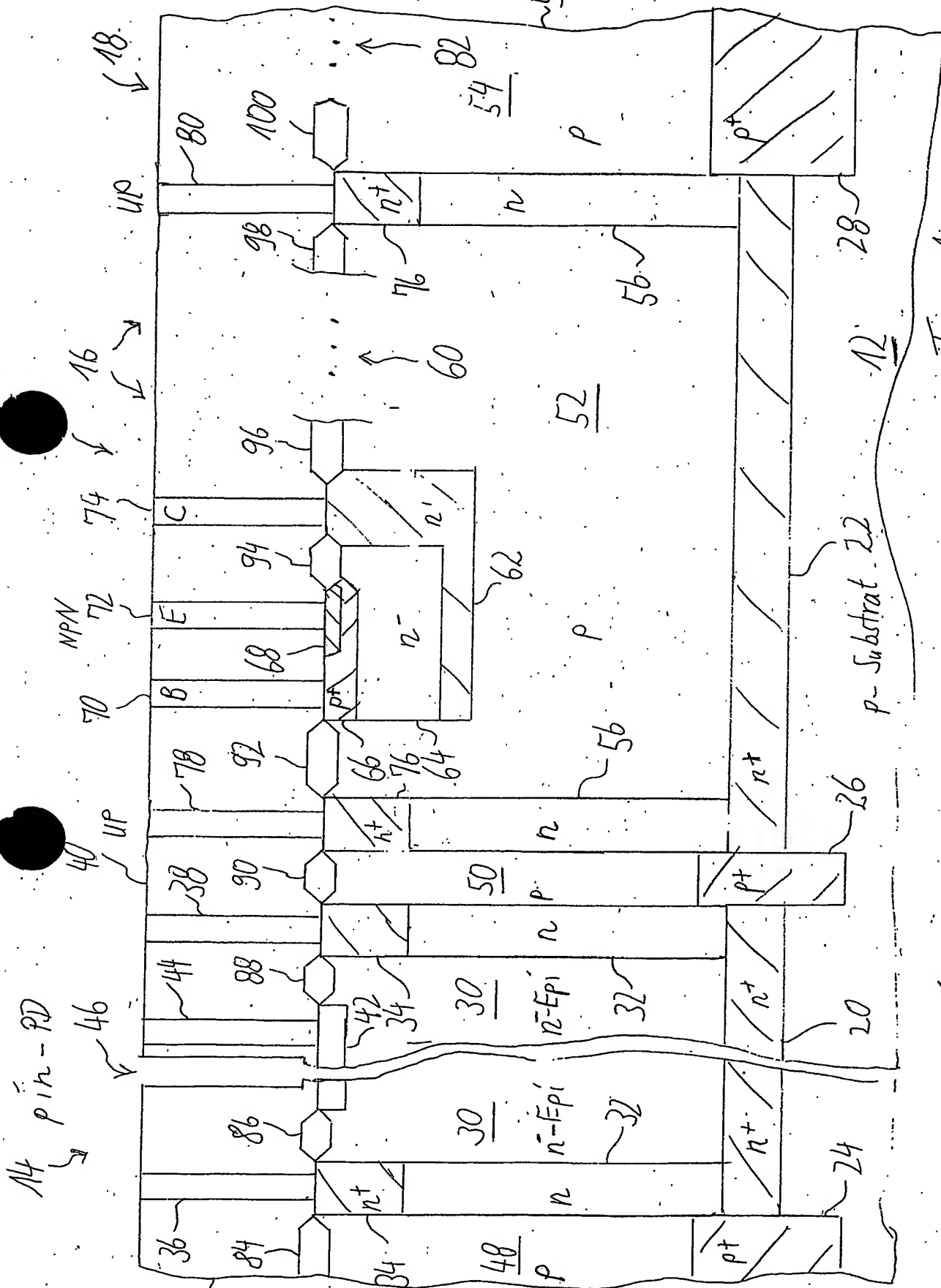


Fig. 1

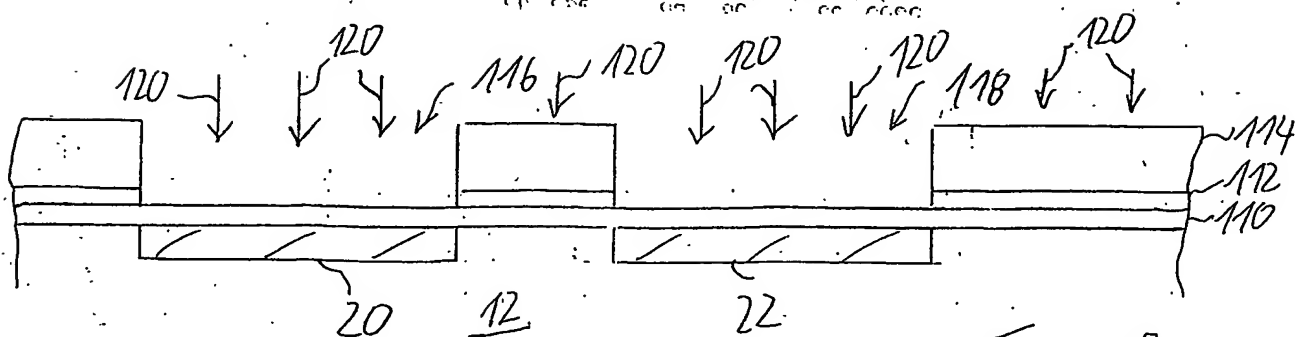


Fig. 2A

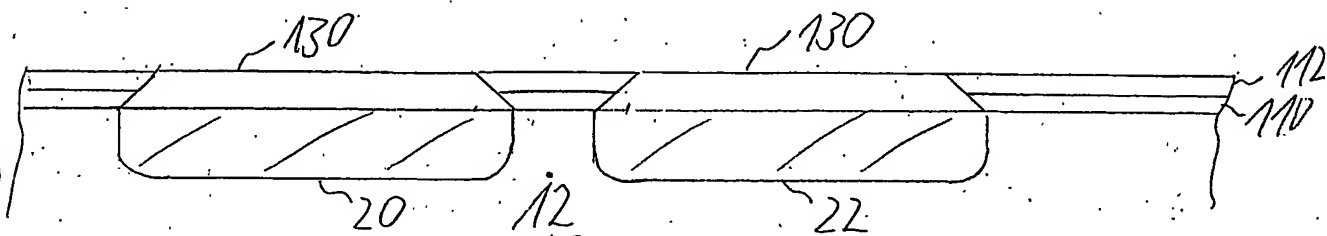


Fig. 2B

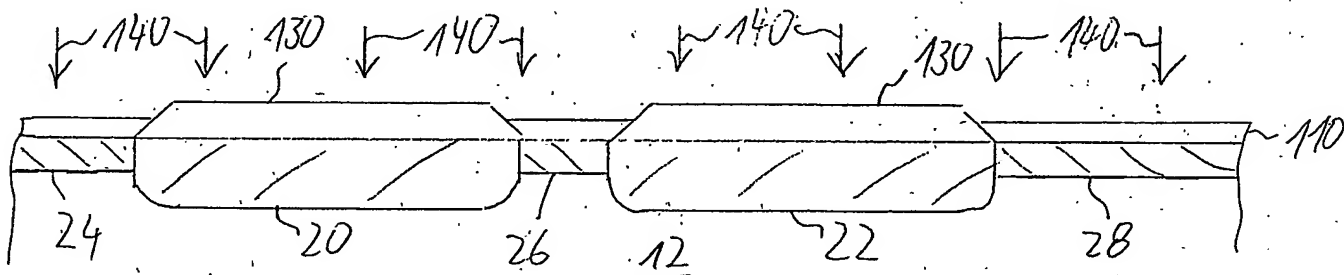


Fig. 2C

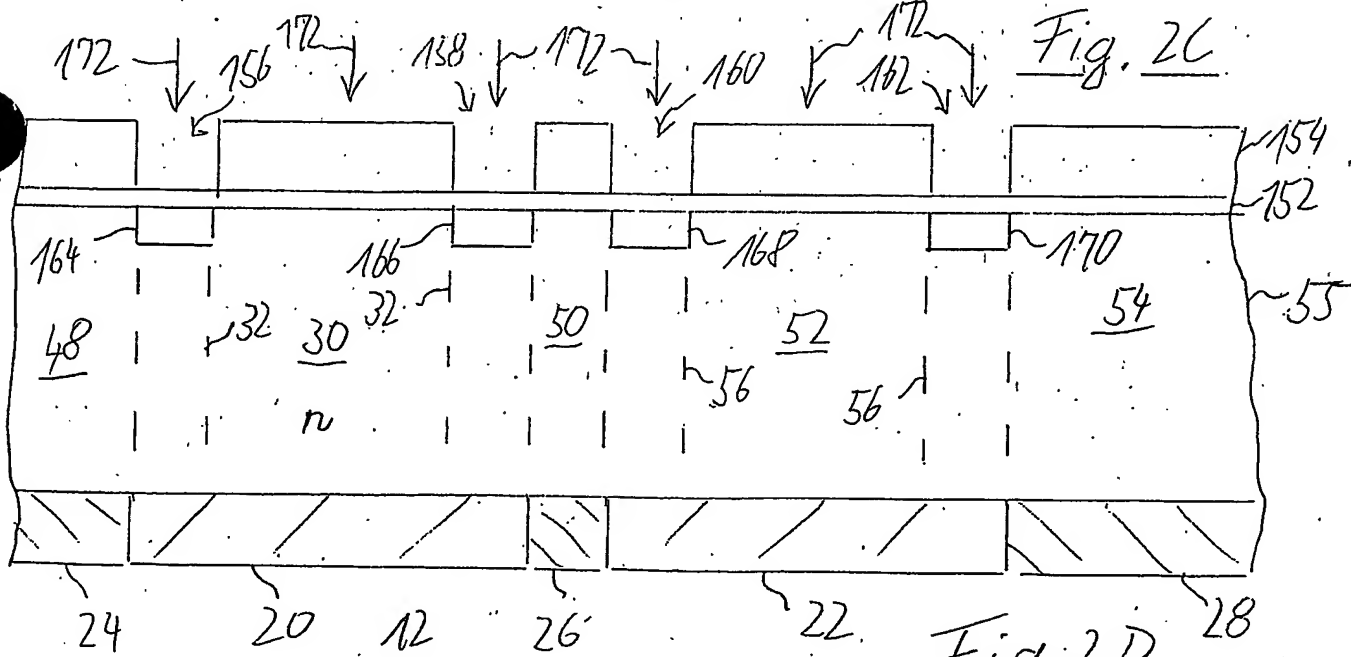


Fig. 2D

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.